

(54) PACKAGING OF SEMICONDUCTOR DEVICE

(11) 2-278740 (A) (43) 15.11.1990 (19) JP

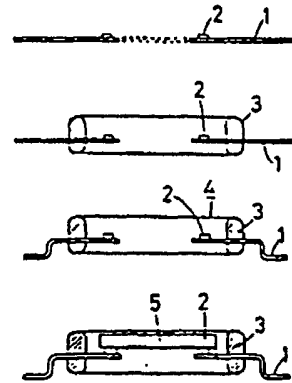
(21) Appl. No. 64-99177 (22) 19.4.1989

(71) MATSUSHITA ELECTRIC WORKS LTD (72) SHIGENARI TAKAMI(3)

(51) Int. Cl. H01L21/56, H01L21/60

PURPOSE: To achieve multiple pins and reduce bonding time by joining an IC chip to a lead frame with sealing frame and by performing resin-sealing of the IC chip.

CONSTITUTION: A bump 2 is formed at a proper position of a lead frame 1, namely a position corresponding to the bonding pad of an IC and a sealing frame 3 is mold-formed at a lead frame 1 to allow a diver supporting the lead frame 1 to be cut, thus forming a terminal. An IC chip 5 is joined to a lead frame 4 with sealing frame thus configured, the IC chip 5 is subjected to resin-sealing, thus enabling the IC to be protected. Therefore, the machining limitation of the lead frame can be achieved and bonding pad time becomes constant regardless of the number of pads, thus enabling the process to be efficient.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-278740

⑬ Int.Cl.

H 01 L 21/56
21/60

識別記号

3 1 1 E
Q

庁内整理番号

6412-5F
6918-5F

⑭ 公開 平成2年(1990)11月15日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置のパッケージング方法

⑯ 特 願 平1-99177

⑰ 出 願 平1(1989)4月19日

⑱ 発 明 者	高 見 茂 成	大阪府門真市大字門真1048番地	松下電工株式会社内
⑲ 発 明 者	入 江 達 彦	大阪府門真市大字門真1048番地	松下電工株式会社内
⑲ 発 明 者	橘 爪 二 郎	大阪府門真市大字門真1048番地	松下電工株式会社内
⑲ 発 明 者	斉 藤 宏	大阪府門真市大字門真1048番地	松下電工株式会社内
⑳ 出 願 人	松下電工株式会社	大阪府門真市大字門真1048番地	
㉑ 代 理 人	弁理士 竹元 敏丸	外2名	

明 細 書

1. 発明の名称

半導体装置のパッケージング方法

2. 特許請求の範囲

(1) 予めICのボンディングパッドに相対する位置にパンパを形成したリードフレームに封止枠を形成し、しかる後、前記リードフレームを支えていたダイバーを切断すると共に端子をフォーミングして封止枠付リードフレームを形成し、該封止枠付リードフレームにICチップを接合し、該ICチップを樹脂封止してなる半導体装置のパッケージング方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置のパッケージング方法に関する。

〔従来の技術〕

通常、ICチップをリードフレームに取りつけるに際しては、ICチップとリードフレーム間にはワイヤーボンディングされるか、チップ上に形成

された接続用突起電極(パンパ)を介して接続される。

ワイヤーボンディングでICチップを実装する場合、ICの1/0数(ピン数)が増した場合、例えば、10mm角200ピンのICの場合、チップ上のボンディングパッドの間隔は200mm以下となり、ワイヤリング時のツール(キャピラリー)とワイヤーの接触する限界値に迫り、これ以上は不可能である。

また、ボンディング時間においても、ワイヤーボンディング方式では、1ワイヤー当たり約0.2秒必要とし、200ワイヤーの場合、40秒のボンディング時間を要する。

これに対し、パンパを介して接続する方式は、一括して接合するため、ボンディング時間が2秒程度となり、大幅に短縮化が図れるが、チップ上にパンパを形成する為(パンパを形成するには通常のAと電極上に拡散防止の金膜層の形成や接合の改善を図る接合層の形成が必要である)、コストアップ、歩留まりの低下につながるという問題

題があった。

〔発明が解決しようとする課題〕

本発明は上記問題点を解決するためになされたもので、その目的とするところは、多ピン化への対応が図れると共に、ボンディング時間の短縮化が図れ、しかもコストアップにつながらない半導体装置のパッケージング方法を提供することにある。

〔課題を解決するための手段〕

上記課題を解決するため本発明は、予めICのボンディングパッドに相対する位置にパンプを形成したリードフレームに封止枠を形成し、しかる後、前記リードフレームを支えていたダイバーを切断すると共に端子をフォーミングして封止枠付リードフレームを形成し、該封止枠付リードフレームにICチップを接合し、該ICチップを樹脂封止してなることを特徴とする。

〔実施例〕

以下、本発明を実施例に基づいて説明する。第1図(a)～(d)は本発明の一実施例を示す工程図であ

る。まず、リードフレーム1の適所、すなわちICのボンディングパッドに相対する位置にパンプ2を形成する(同図(a)参照)。パンプ2は、Au等のIC電極材料(A1)と接合性の良い材料で形成する。次に、上記リードフレーム1に封止枠3をモールド成形する(同図(b)参照)。しかる後、リードフレーム1を支えていたダイバーを切断し、端子をフォーミングする(同図(c)参照)。このように構成された封止枠付リードフレーム4にICチップ5を接合し、ポッティング等の方法によりICチップ5を樹脂封止し、ICの保護を行なう(同図(d)参照)。

これにより、従来例の如きワイヤーボンディングのパッド間隔の制限は取り除かれ、リードフレームの加工限界まで可能となる。また、ボンディング時間はパッド数に関係なく一定(2秒程度)となり、工程の効率化が図れる。さらに、リードフレーム1にパンプ2を形成するため、パンプ2の材料を適切に選択すれば(上記実施例のようにAuを用いれば)、ウエハーの特別な加工は必要

とせず、ワイヤーボンディングされるのと同様の仕様(A1パッド)のままでも良いので、コストダウンが図れる。さらにまた、リードフレーム1には封止枠3が成形されているので、後工程での封止が容易になる。

なお、上記実施例では封止枠3をモールドで形成したが、プリント版を形成するように積層して形成してもよい。

〔発明の効果〕

本発明は上記のように、ICチップとリードフレームの接合時間の短縮化が図れると共に、多ピン対応が可能となり、また、従来のワイヤーボンディング用のICをそのまま用いて一括ボンディングできるので、汎用性がありコストダウンが図れる。

4. 図面の簡単な説明

第1図(a)～(d)は本発明の一実施例を示す工程図である。

- 1…リードフレーム
- 2…パンプ

- 3…封止枠
- 4…封止枠付リードフレーム
- 5…ICチップ

特許出願人

松下電工株式会社

代理人 弁理士 竹元敏九

(ほか2名)

第1図

